

4-11-02

Docket: 0819-0651

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re New **PATENT** Application of)
Shinichi IMAI) Attn: Applications
Japanese Priority Application No. 2000-290119) Branch
Japanese Priority Date: September 25, 2000)
For: SEMICONDUCTOR DEVICE AND) Date: September 24, 2001
FOR FABRICATING THE SAME)

1c879 U.S. PTO
09/960575
09/24/01

CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119


Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicant hereby claims foreign priority benefits under 35 U.S.C. §119 based upon the following foreign patent application:

Japanese Application No. 2000-290119 Filed September 25, 2000.

Respectfully submitted,


Eric J. Robinson
Registration No. #38,285

NIXON PEABODY LLP
8180 Greensboro Drive, Suite 800
McLean, Virginia 22102
(703) 790-9110

EJR/sas

半導体装置およびその製造方法

発明の背景

本発明は、MISキャパシタである半導体装置およびその製造方法に関し、特に高い歩留まり率で製造できるMISキャパシタである半導体装置に関する。

従来、MOSキャパシタである半導体装置100は、図6(a)および(b)に示すように、シリコン基板112上に、分離領域114を備え、分離領域114の間のシリコン基板112の上部に活性領域116が形成されている。活性領域116の上には、容量絶縁膜118が形成されている。容量絶縁膜118の上には、四角形の上部電極121が分離領域114と離間して設けられている。分離領域114上には、活性領域116を囲むように四角形の環状の電極パッド124が設けられている。電極パッド124の各辺と上部電極121の各辺とは、引き出し導体膜122により互いに接続されている。さらに基板上には、層間絶縁膜126が形成され、層間絶縁膜126を貫通して電極パッド124に到達する多数の接続孔128(直径0.28 μ m)が開口されている。この接続孔128に導電体膜を埋めるプラグが形成され、このプラグを通じて上部電極の電位を制御するように構成されている。

しかしながら、従来のMOSキャパシタである半導体装置100は、接続孔を形成するために層間絶縁膜126のプラズマエッチングを行なったときに、容量絶縁膜118に破壊が生じるという不具合があった。発光解析によって容量絶縁膜118の破壊された部分を調査すると、容量絶縁膜118の破壊は、全て引き出し導体膜122の下の分離領域114と接する境界部Rcrに発生していることがわかった。そこで、本発明者は、この不具合が生じるメカニズムについて、以下のように考察した。

図7(a)、(b)は、容量絶縁膜の破壊が生じるメカニズムを説明する図である。

図7(a)に示すように、層間絶縁膜126は、主としてプラズマから照射される正イオンによってのエッチングされ、接続孔128が層間絶縁膜126を貫通すると電極パッド124の表面が露出する。このとき、入射した正イオンによ

って、電極パッド 1 2 4、上部電極 1 2 1 および引き出し導体膜 1 2 2 は正に帯電する。正電荷の帯電は、通常は、高周波プラズマを用いることによって、正イオンと交互に電子が接続孔に入射して電氣的に中和される。しかし、図 7 (b) に示すように、基板表面は電子によって負に帯電する。従って、高アスペクト比の接続孔 1 2 8 を形成すると、電子が負に帯電した基板表面 (レジスト膜の表面) からの影響を受けやすくなり、接続孔 1 2 8 内に入射しにくくなる。

また、プラズマ中の正イオンは、プラズマ中に発生するイオンシース内で電界加速されて基板に入射する。イオンシースの発生は、電界における正イオンと電子との移動度の違い、つまり、正イオンの質量が電子の質量に比べて大きいために正イオンは動きにくいことに起因する。この結果、基板表面にはセルフバイアスと呼ばれる負電位が発生する。正イオンは、プラズマ中のポテンシャルにセルフバイアスを加えたエネルギーを持って基板表面に衝突することになる。一方、電子は、イオンシースが減速電界として働くことで、接続孔内に入射しにくくなる。

上述のように、電極パッド 1 2 4、上部電極 1 2 1 および引き出し導体膜 1 2 2 に正電荷が蓄積されると、屈曲した引き出し導体膜 1 2 2 の下の分離領域 1 1 4 と接する容量絶縁膜 1 1 8 の境界部 R c r に電界集中が起こるはずである。そうすると、容量絶縁膜 1 1 8 の耐圧を越える電圧が分離領域 1 1 4 と接する容量絶縁膜 1 1 8 の境界部 R c r の上面と下面との間に印加されると、容量絶縁膜 1 1 8 が境界部 R c r において破壊されると考えられる。容量絶縁膜 1 1 8 は、分離領域 1 1 4 を形成した後、熱酸化法または C V D 法によって形成される。分離領域 1 1 4 の活性領域との境界部には不純物や欠陥が多い。従って、熱酸化法によって形成した場合、分離領域 1 1 4 と接する境界部 R c r における容量絶縁膜 1 1 8 の膜厚は薄くなり、分離領域 1 1 4 と接する容量絶縁膜 1 1 8 の境界部 R c r の耐圧が低下する。また、C V D 法によって形成した場合、分離領域 1 1 4 と接する境界部 R c r では不純物により膜質が劣化し、分離領域 1 1 4 と接する容量絶縁膜 1 1 8 の境界部 R c r の耐圧が低下する。従って、いずれの場合も容量絶縁膜破壊が発生しやすい。

上記の不具合を解決するためには、従来、アンテナ比をある値以上に調整する

ことが有効であると考えられている。アンテナ比とは、上部電極 1 2 1 の面積に対する接続孔 1 2 8 における電極パッド 1 2 4 の露出面積の総和 (S) の比のことである。そこで、接続孔 1 2 8 の数の増減によって、接続孔 1 2 8 における電極パッド 1 2 4 の露出面積の総和 (S) を変化させたときの MOS キャパシタである半導体装置 1 0 0 の容量絶縁膜の破壊率を測定した。このときの測定結果を図 8 に示す。

図 8 は、上部電極面積に対する接続孔における電極パッドの露出面積の総和 (S) の比への容量絶縁膜破壊率の依存性を示す図である。図 8 において、横軸は上部電極面積に対する接続孔における電極パッドの露出面積の総和 (S) の比 (アンテナ比) を表し、縦軸は容量絶縁膜破壊率を表す。この結果は、アンテナ比が比較的小さいときに容量絶縁膜 1 1 8 が破壊されやすいことを示している。しかし、アンテナ比が非常に小さい、あるいはアンテナ比が非常に大きい場合に容量絶縁膜破壊は発生しておらず、アンテナ比と容量絶縁膜破壊との関係に相関関係が見られない。つまり、MOS キャパシタである半導体における容量絶縁膜の破壊を抑制・防止するために、アンテナ比をある値以上に調整することが有効であるとは言えない。

発明の概要

本発明の目的は、容量絶縁膜の破壊の原因が分離領域と接する境界部における電界の集中にあることに着目し、容量絶縁膜の破壊がより確実に抑制・防止された MIS キャパシタである半導体装置およびその製造方法を提供することにある。

本発明の半導体装置は、活性領域と、活性領域を囲むように設けられた分離領域とを有する半導体基板と、活性領域の上に設けられ、分離領域と接する境界部を有する容量絶縁膜と、容量絶縁膜上に分離領域と離間して設けられた上部電極と、分離領域上に設けられた電極パッドと、容量絶縁膜の一部および分離領域の一部の上に亘って設けられ、上部電極と電極パッドとを接続する引き出し導体膜と、基板上に設けられた層間絶縁膜とを備え、層間絶縁膜を貫通して電極パッドに到達する接続孔が設けられており、境界部における引き出し導体膜の幅の総和に対する接続孔における電極パッドの露出面積の総和の比がある値以下となって

いる。

このように構成された半導体装置は、プラズマエッチングによって層間絶縁膜を貫通して電極パッドに到達する接続孔の形成する際の、容量絶縁膜の破壊を抑制・防止できることが経験的に確認されている。

本発明の半導体装置は、活性領域と、活性領域を囲むように形成された分離領域とを有する半導体基板と、活性領域の上に形成され、分離領域と接する境界部を有する容量絶縁膜と、容量絶縁膜上に分離領域と離間して設けられた上部電極と、分離領域上に形成された電極パッドと、容量絶縁膜の一部および分離領域の一部の上に亘って設けられ、上部電極と電極パッドとを接続する引き出し導体膜と、基板上に設けられた層間絶縁膜とを備え、層間絶縁膜を貫通して電極パッドに到達する接続孔が設けられており、容量絶縁膜が境界部において、他の部分よりも厚くなっている。

このことによって、分離領域と接する容量絶縁膜の境界部の耐圧を高めることができ、プラズマエッチングによって層間絶縁膜を貫通して電極パッドに到達する接続孔の形成する際の、容量絶縁膜の破壊を抑制・防止することができる。

本発明の半導体装置は、第1活性領域と、第1活性領域を囲むように形成された分離領域と、第1活性領域と分離領域を挟んで設けられた第2活性領域とを有する半導体基板と、第1活性領域の上に形成され、分離領域と接する境界部を有する第1容量絶縁膜と、第2活性領域の上に形成された第2容量絶縁膜と、第1容量絶縁膜上に分離領域と離間して設けられた上部電極と、分離領域上に形成された電極パッドと、第1容量絶縁膜の一部および分離領域の一部の上に亘って設けられ、上部電極と電極パッドとを接続する引き出し導体膜と、基板上に設けられた層間絶縁膜とを備え、層間絶縁膜を貫通して電極パッドに到達する第1接続孔と、層間絶縁膜および第2容量絶縁膜を貫通して第2活性領域に到達する第2接続孔とが設けられている。

このことによって、第1接続孔を開口する際のプラズマエッチングによって、電極パッド、引き出し導体膜および上部電極は正に帯電し、容量絶縁膜を挟んで対向する半導体基板が対向電極となる。同時に、第2接続孔を開口する際のプラズマエッチングによって、半導体基板も電極パッド、引き出し導体膜および上部

電極と同様に正に帯電する。この結果、電極パッド、引き出し導体膜および上部電極と半導体基板との電位差が小さくなる。引き出し導体膜とシリコン基板との電位差が小さければ、引き出し導体膜の下の分離領域と接する容量絶縁膜の境界部における電界は小さくなり、破壊が抑制・防止される。つまり、プラズマエッチングによって層間絶縁膜を貫通して電極パッドに到達する接続孔の形成する際の、容量絶縁膜の破壊が抑制・防止された半導体装置が得られる。

第2接続孔の直径が第1接続孔の直径よりも大きいことが好ましい。

電極パッドの上の層間絶縁膜の膜厚は、第2活性領域の上の層間絶縁膜の膜厚よりも薄いので、第1および第2接続孔およびを同じ直径とした場合、第2活性領域の帯電量、すなわち半導体基板の帯電量の方が大きくなる。しかし、第2接続孔の直径が第1接続孔の直径よりも大きくすることにより、第2接続孔の内部に電子が入って電氣的に中和しやすくなり、引き出し導体膜と半導体基板との電位差を小さくすることができ、境界部における電界を緩和できる。

第1接続孔のアスペクト比と第2接続孔のアスペクト比とが等しいことが好ましい。

このことにより、第1接続孔における電極パッドの帯電量と第2接続孔における第2活性領域の帯電量が等しくなり、引き出し導体膜と半導体基板との電位差をほぼゼロにすることができる。

本発明の半導体装置の製造方法は、上部に活性領域を有する半導体基板を用意する工程(a)と、活性領域を囲むように半導体基板の上部に分離領域を形成する工程(b)と、活性領域の上に、分離領域と接する境界部を有する容量絶縁膜を形成する工程(c)と、容量絶縁膜上に分離領域と離間して設けられた上部電極と、分離領域上に形成された電極パッドと、容量絶縁膜の一部および分離領域の一部の上に亘って上部電極と電極パッドとを接続する引き出し導体膜とを形成する工程(d)と、基板上に層間絶縁膜を形成する工程(e)と、プラズマエッチングにより、層間絶縁膜を貫通して電極パッドに到達する接続孔を、境界部における引き出し導体膜の幅の総和に対する接続孔における電極パッドの露出面積の総和の比がある値以下となるように開口する工程(f)とを含む。

このことによって、プラズマエッチングによって層間絶縁膜を貫通して電極パ

ッドに到達する接続孔の形成する際の、容量絶縁膜の破壊が抑制・防止された半導体装置が得られることが経験的に確認されている。

上記工程（f）では、上記接続孔の数、上記接続孔において上記電極パッドが露出している面積、および上記境界部における上記引き出し導体膜の幅の総和のうちのいずれか1つを調整することによって上記比がある値以下となるように開口してもよい。

上記工程（f）では、上記比がある値以下となる条件に適合させながら、上記接続孔のアスペクト比を調整することによって開口してもよい。

上述のように従来、高アスペクト比の接続孔を形成すると、容量絶縁膜の破壊が発生することが多い。しかし、本発明の半導体装置の製造方法によれば、容量絶縁膜の破壊の発生が抑制・防止されるので、高アスペクト比の接続孔を形成することが可能となる。すなわち、高アスペクト比の接続孔を多数形成することが必要な場合にも、高アスペクト比を維持しつつ、接続孔の直径および数を上記比がある値以下となる条件に適合するように調整するだけで、容量絶縁膜の破壊の発生を抑制・防止することが容易となる。よって、限られた面積に必要な数の接続孔が設けられたMISキャパシタを得ることができる。

本発明の半導体装置の製造方法は、活性領域を有する半導体基板を用意する工程（a）と、半導体基板の上部に分離領域を形成する工程（b）と、分離領域との境界部の活性領域に増殖拡散機能を有する不純物を導入する工程（c）と、活性領域の上部を酸化することにより、分離領域と接する境界部を有する容量絶縁膜を形成する工程（d）と、容量絶縁膜上に分離領域と離間して設けられた上部電極と、分離領域上に形成された電極パッドと、容量絶縁膜の一部および分離領域の一部の上に亘って上部電極と電極パッドとを接続する引き出し導体膜とを形成する工程（e）と、基板上に層間絶縁膜を形成する工程（f）と、プラズマエッチングにより、層間絶縁膜を貫通して電極パッドに到達する接続孔を開口する工程（g）とを含む。

このことによって、分離領域との境界部の活性領域に高濃度の増殖拡散機能を有する不純物が含まれる領域が形成される。高濃度の増殖拡散機能を有する不純物が含まれる領域では、シリコンの酸化速度が速くなるので、活性領域上に容量

絶縁膜を形成する際に、分離領域と接する容量絶縁膜の境界部の膜厚が厚くなる。従って、分離領域と接する容量絶縁膜の境界部の耐圧を高めることができ、プラズマエッチングによって層間絶縁膜を貫通して電極パッドに到達する接続孔の形成する際の、容量絶縁膜の破壊を抑制・防止することができる。

本発明の半導体装置の製造方法は、活性領域を有する半導体基板を用意する工程（a）と、半導体基板の上部に分離領域を形成し、活性領域を第1活性領域と第2活性領域とに分離する工程（b）と、第1活性領域の上に、分離領域と接する境界部を有する第1容量絶縁膜を形成し、第2活性領域の上に第2容量絶縁膜を形成する工程（c）と、第1容量絶縁膜上に分離領域と離間して設けられた上部電極と、分離領域上に形成された電極パッドと、第1容量絶縁膜の一部および分離領域の一部の上に亘って設けられ、上部電極と電極パッドとを接続する引き出し導体膜とを形成する工程（d）と、基板上に層間絶縁膜を形成する工程（e）と、プラズマエッチングにより、層間絶縁膜を貫通して電極パッドに到達する第1接続孔と、層間絶縁膜および第2容量絶縁膜を貫通して第2活性領域に到達する第2接続孔とを形成する工程（f）とを含む。

このことによって、第1接続孔を開口するプラズマエッチングによって、電極パッド、引き出し導体膜および上部電極は正に帯電し、容量絶縁膜を挟んで対向する半導体基板が対向電極となる。同時に、第2接続孔を開口するプラズマエッチングによって、半導体基板も電極パッド、引き出し導体膜および上部電極と同様に正に帯電する。この結果、電極パッド、引き出し導体膜および上部電極と半導体基板との電位差が小さくなる。引き出し導体膜とシリコン基板との電位差が小さければ、引き出し導体膜の下の分離領域と接する容量絶縁膜の境界部における電界は小さくなり、破壊が抑制・防止される。

工程（f）では、第2接続孔を第1接続孔の直径よりも大きくなるように形成することが好ましい。

電極パッドの上の層間絶縁膜の膜厚は、第2活性領域の上の層間絶縁膜の膜厚よりも薄いので、第1および第2接続孔およびを同じ直径とした場合、第2活性領域の帯電量、すなわち半導体基板の帯電量の方が大きくなる。しかし、第2接続孔の直径が第1接続孔の直径よりも大きくすることにより、第2接続孔の内部

に電子が入って電氣的に中和しやすくなり、引き出し導体膜と半導体基板との電位差を小さくすることができる。

工程（f）では、第1接続孔と第2接続孔とをアスペクト比が等しくなるように形成することが好ましい。

このことにより、第1接続孔における電極パッドの帯電量と第2接続孔における第2活性領域の帯電量が等しくなり、引き出し導体膜と半導体基板との電位差をほぼゼロにすることができる。

図面の簡単な説明

図1は、分離領域と接する容量絶縁膜の境界部における引き出し導体膜の幅（ w ）の総和（ L ）に対する接続孔における電極パッドの露出面積の総和（ S ）の比（ S/L ）と、容量絶縁膜の破壊率との関係を表すグラフである。

図2（a）は、本実施形態の半導体装置10を示す模式的な上面図であり、図2（b）は、図2（a）に示したII-II線に沿った断面図である。

図3（a）は、本実施形態の半導体装置20を示す模式的な上面図であり、図3（b）は、図3（a）に示したIII-III線に沿った断面図である。

図4は、本実施形態の半導体装置30を示す模式的な断面図である。

図5（a）は、本実施形態のMOSキャパシタである半導体装置40を示す模式的な上面図であり、図5（b）は、図5（a）に示したV-V線に沿った断面図である。

図6（a）は、従来の半導体装置100を示す模式的な上面図であり、図6（b）は、図6（a）に示したVI-VI線に沿った断面図である。

図7は、容量絶縁膜の破壊が生じるメカニズムを説明する図である。

図8は、上部電極面積および接続孔における電極パッドの露出面積の総和と、MOSキャパシタの容量絶縁膜の破壊率との関係を表すグラフである。

好適実施形態の説明

上述のように、アンテナ比を調整することによって、MOSキャパシタにおける容量絶縁膜の破壊を確実に抑制・防止することができない。そこで、従来の半

導体装置において、引き出し導体膜の下にある容量絶縁膜の分離領域と接する境界部が破壊されやすいことに着目し、図8の各データの見直しを行なった。そのときの測定条件を表1に、結果を図1に示す。

【表1】

L (μm)	接続孔の直径 (μm)	接続孔数	S (μm^2)	(S/L)
8	0.28	1280	78.8	9.9
8	0.28	1108	68.2	8.5
8	0.28	906	55.8	7.0
8	0.28	522	32.1	4.0
8	0.28	260	16.0	2.0
8	0.28	158	9.7	1.2

図1は、分離領域114と接する容量絶縁膜118の境界部Rcrにおける引き出し導体膜122の幅(w)の総和(L)に対する接続孔128における電極パッド124の露出面積の総和(S)の比(S/L)に対して、容量絶縁膜118の破壊率をプロットした図である。ここで、上記S/Lの増減は、Lを定数(8 μm)とし、Sを増減することによって行なった。上記Sの増減は、接続孔128の直径を従来通り(0.28 μm)とし、接続孔128の数を増減したものと、接続孔128の直径を従来よりも小さく(0.18 μm)し、接続孔128の数を増減したものの両方を行なった。なお、表1に示した測定条件は、接続孔128の直径を従来通り(0.28 μm)とし、接続孔128の数を増減した場合の条件である。この結果、図1に示すように、S/Lの値が4以下であるときに容量絶縁膜118の破壊率がほぼゼロとなることがわかった。以下の実施形態1から3は、この結果に基づいて実施したものである。

以下、図面を参照しながら本発明による実施形態を説明する。簡単のため、各実施形態に共通する構成要素は、同一の参照符号で示す。

(実施形態1)

図2(a)は、本実施形態のMOSキャパシタである半導体装置10を示す模式的な上面図であり、図2(b)は、図2(a)に示したII-II線に沿った断面

図である。

本実施形態の半導体装置 10 は、図 2 (a) および図 2 (b) に示すように、シリコン基板 12 上に、活性領域 16 が形成されており、活性領域 16 を囲むように分離領域 14 が形成されている。活性領域 16 の上には、容量絶縁膜 18 が形成されている。容量絶縁膜 18 の上には、四角形の上部電極 21 が分離領域 14 と離間して設けられている。分離領域 14 上には、活性領域 16 を囲むように四角形の環状の電極パッド 24 が設けられている。電極パッド 24 の各辺と上部電極 21 の各辺とは、引き出し導体膜 22 により互いに接続されている。さらに基板上には、層間絶縁膜 26 が形成され、層間絶縁膜 26 を貫通して電極パッド 24 に到達する接続孔 28 が形成されている。

本実施形態の半導体装置 10 では、上記図 1 の結果に基づいて、接続孔 28 (直径 $0.28 \mu\text{m}$) の数を従来よりも少なくすることにより、 S/L の値を 4 以下に調整してある。このことにより、分離領域 14 と接する容量絶縁膜 18 の境界部 R_{cr} における引き出し導体膜 22 の幅 (w) の総和 (本実施形態では引き出し導体膜 22 の幅の総和に等しい: L) に対する接続孔 28 における電極パッド 24 の露出面積の総和 (S) の比 (S/L) を小さくしている。この結果、図 1 に示すように、 S/L の値が 4 以下とすることにより容量絶縁膜 18 の破壊率をほぼゼロとすることができる。

次に、半導体装置 10 の製造方法を説明する。

まず、シリコン基板 12 を用意し、シリコン基板 12 の上部をエッチングすることによって浅い溝を形成した後、酸化膜を埋め込む STI (Shallow Trench Isolation) 法を適用することによって分離領域 14 を形成する。なお、従来の LOCOS 法を適用してもよい。

次に、シリコン基板 12 の上部の分離領域 14 が形成されていない活性領域 16 の上部を熱酸化することにより容量絶縁膜 18 を形成する。なお、容量絶縁膜 18 の形成には CVD 法を用いてもよい。

次に、基板上にポリシリコン膜を堆積した後、フォトリソグラフィおよびドライエッチングによってポリシリコン膜をパターンングすることによって、上部電極 21、引き出し導体膜 22、電極パッド 24 を一体成形する。なお、本実施形

態では、ポリシリコン膜を用いて上部電極 21、引き出し導体膜 22、電極パッド 24 を形成したが、導電性金属材料膜を用いてもよい。

次に、シリコン酸窒化膜を堆積して層間絶縁膜 26 を形成する。

次に、フォトリソグラフィおよびプラズマエッチングを行なって、層間絶縁膜 26 に電極パッド 24 に到達する接続孔 28 を開口する。接続孔 28 は、プラズマエッチングによって、 S/L の値が 4 以下になるように形成される。

本実施形態では、シリコン酸窒化膜で形成された容量絶縁膜 18 を用いたが、シリコン酸化膜、シリコン窒化膜や他の高誘電率膜などで容量絶縁膜 18 を形成してもよい。ただし、これらの材料からなる容量絶縁膜 18 は、耐圧がシリコン酸化膜とは異なるので、容量絶縁膜 18 の材料によって、容量絶縁膜 18 の破壊率がほぼゼロとなる S/L の値は変化し得る。しかしながら、いずれの材料を用いた場合も S/L の値が重要であることに変わりはない。従って、容量絶縁膜 18 の破壊率がほぼゼロとなるか、または破壊率が実用上問題とならないほど小さくなる S/L の値を測定し、その結果に基づいて境界部 R_{cr} における引き出し導体膜 22 の幅 (w)、接続孔 28 の直径および数を調整すればよい。

(実施形態 2)

図 3 (a) は、本実施形態の MOS キャパシタである半導体装置 20 を示す模式的な上面図であり、図 3 (b) は、図 3 (a) に示した III-III 線に沿った断面図である。

本実施形態の半導体装置 20 は、図 3 (a) および図 3 (b) に示すように、上記実施形態 1 の半導体装置 10 と同じ構造を有する。ただし、基板上に形成された接続孔 28 の直径が従来の半導体装置よりも小さく ($0.18 \mu m$)、接続孔 28 の数が従来の半導体装置と同じとなっている点で異なる。

上記図 1 の結果に基づいて、本実施形態では、接続孔 28 の直径を従来よりも小さくしている。このことにより、本実施形態の半導体装置 20 は、境界部 R_{cr} における引き出し導体膜 22 の幅 (w) の総和 (L) に対する接続孔 28 における電極パッド 24 の露出面積の総和 (S) の比 (S/L) の値を 4 以下にしている。この結果、図 1 に示すように、容量絶縁膜 18 の破壊率をほぼゼロとすることができる。

本実施形態の半導体装置 20 の製造方法は、上記実施形態 1 と同じである。ただし、従来よりも、接続孔 28 の直径を小さくする必要があり、フォトリソグラフィの工程で、フォトマスクの接続孔 28 に対応する部分の直径を小さくすることにより接続孔 28 の直径を小さくする。

本実施形態では、従来よりも、接続孔 28 の直径を小さくしたが、 S/L の値を小さくするためには、接続孔 28 における電極パッド 24 の露出面積の総和が小さくなっていけばよい。従って、エッチングで接続孔 28 を先細り状に形成する方法などを用いることができる。この方法では、エッチング条件として、 C_4F_8 、 C_5F_8 、 C_4F_6 、 C_2F_4 などのガスを用い、添加ガスとして CH_2F_2 、 CO 、 O_2 、 Ar 、 CO_2 などを用いる。このような条件では、エッチングの際に、接続孔の側壁にポリマーが形成され、このポリマーの膜厚が厚くなるので、接続孔を先細り状に形成できる。

また、本実施形態では、シリコン酸窒化膜で形成された容量絶縁膜 18 を用いたが、上記実施形態 1 と同様に、シリコン酸窒化膜で形成された容量絶縁膜 18 を用いたが、シリコン酸化膜、シリコン窒化膜や他の高誘電率膜などで容量絶縁膜 18 を形成してもよい。さらに、容量絶縁膜 18 の材料によって、容量絶縁膜 18 の破壊率がほぼゼロとなる S/L の値は変化し得るが、いずれの材料を用いた場合も S/L の値が重要であることに変わりはない。従って、容量絶縁膜 18 の破壊率がほぼゼロとなるか、または破壊率が実用上問題とならないほど小さくなる S/L の値を測定し、その結果に基づいて境界部 Rcr における引き出し導体膜 22 の幅 (w)、接続孔 28 の直径および数を調整すればよい。

以上に述べたように、上記実施形態 1 では、接続孔の数を調整することによって、本実施形態 2 では、接続孔において上記電極パッドが露出している面積を調整することによって、 S/L の値をある値以下となるように開口した。すなわち、 S を小さくすることによって、 S/L の値をある値以下とした。しかしながら、 L (境界部における上記引き出し導体膜の幅の総和) を大きくすることによって、 S/L の値をある値以下としても一向に構わない。

また、上記実施形態 1 および本実施形態 2 からわかるように、 S/L の値をある値以下となる条件に適合させることによって、容量絶縁膜の破壊を防止できる。

従って、高アスペクト比の接続孔を多数形成することが必要な場合にも、高アスペクト比を維持しつつ、接続孔の直径および数を S/L がある値以下となる条件に適合するように調整するだけで、容量絶縁膜の破壊の発生を抑制・防止することが容易となる。よって、 S/L の値をある値以下となる条件に適合させることは、MIS キャパシタにおける接続孔の微細化対策として有効である。

上記実施形態 1 および本実施形態 2 では、境界部 Rcr における引き出し導体膜 22 の幅 (w) の総和 (L) を $8\mu\text{m}$ としており、L は $8\mu\text{m}$ 以上であることが、境界部 Rcr における電界を緩和することができるので好ましい。また、接続孔 28 の数が、実施形態 1 では 158 個、実施形態 2 では 260 個であり、522 個以下であること、あるいは、接続孔 28 において電極パッド 24 が露出している面積が、実施形態 1 では $9.7\mu\text{m}^2$ 、実施形態 2 では $16\mu\text{m}^2$ であり、 $32\mu\text{m}^2$ 以下であることが、電極パッドに蓄積する電荷の量を低減することができるので好ましい。

(実施形態 3)

図 4 は、本実施形態の MOS キャパシタである半導体装置 30 を示す模式的な断面図である。

本実施形態の半導体装置 30 は、上記実施形態 1 の半導体装置 10 と同じ構造を有する。ただし、図 2 (a) に示した II-II 線に沿った断面が、図 4 に示される構造となっており、引き出し導体膜 22 の下の分離領域 14 と接する容量絶縁膜 18 の境界部 Rcr の膜厚が大きくなっている点で異なる。これは、従来の半導体装置では容量絶縁膜の破壊が分離領域と接する境界部における電界の集中にあることに着目し、分離領域 14 と接する容量絶縁膜 18 の境界部 Rcr の耐圧を高めるために膜厚を大きく形成している。

本実施形態の半導体装置 30 の製造方法は、上記実施形態 1 と同じである。ただし、分離領域 14 を形成する工程の後で、分離領域 14 と接する活性領域 16 の境界部に高濃度のホウ素をイオン注入法によりドーズ量 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-2}$ で導入し、高濃度ホウ素領域 29 を形成する。なお、接続孔 28 における電極パッド 24 の露出面積の総和を従来と同じにしてもよい。

高濃度ホウ素領域 29 のように、増殖拡散機能を有するホウ素を含む領域の上

ではシリコンの酸化速度が速くなる。このため、活性領域 16 上に容量絶縁膜 18 を形成する際に、分離領域 14 と接する容量絶縁膜 18 の境界部 R c r の膜厚が厚くなる。つまり、1 つの工程で、膜厚の異なる容量絶縁膜 18 を形成することができる。このようにして、分離領域 14 と接する容量絶縁膜 18 の境界部 R c r の耐圧を高めることができる。例えば、本実施形態の場合、活性領域上の容量絶縁膜 18 の厚さは 4 nm であるが、分離領域 14 と接する容量絶縁膜 18 の境界部 R c r の厚さは 8 nm である。このため、分離領域 14 と接する容量絶縁膜 18 の境界部 R c r の耐圧は、活性領域 16 上の容量絶縁膜 18 のおよそ倍になり、 S/L の値が 8 程度になるまで容量絶縁膜 18 の破壊が発生しなかった。このことから、本実施形態によれば、境界部 R c r における引き出し導体膜 22 の幅 (w) の総和 (L) に対して接続孔 28 における電極パッド 24 の露出面積の総和 (S) の比を大きくすることができることがわかる。

(実施形態 4)

図 5 (a) は、本実施形態の MOS キャパシタである半導体装置 40 を示す模式的な上面図であり、図 5 (b) は、図 5 (a) に示した V-V 線に沿った断面図である。

本実施形態の半導体装置 40 は、図 5 (a) および図 5 (b) に示すように、シリコン基板 42 上に、分離領域 44 を備え、分離領域 44 の間のシリコン基板 42 の上部に活性領域 46 が形成されている。さらに、分離領域 44 の外側のシリコン基板 42 の上部に分離領域 44 を囲むように活性領域 47 が形成されており、さらにその外側のシリコン基板 42 の上部に活性領域 47 を囲むように分離領域 45 が形成されている。活性領域 46 の上には容量絶縁膜 48 が形成され、活性領域 47 の上には容量絶縁膜 49 が形成されている。容量絶縁膜 48 の上には、上部電極 51 が分離領域 44 と離間して設けられている。分離領域 44 上には、活性領域 46 を囲むように四角形の環状の電極パッド 54 が設けられている。電極パッド 44 の各辺と上部電極 51 の各辺とは、引き出し導体膜 52 により互いに接続されている。さらに基板 上には、層間絶縁膜 56 が形成され、層間絶縁膜 56 を貫通して電極パッド 54 に到達する接続孔 58 と、層間絶縁膜 56 および容量絶縁膜 49 を貫通して活性領域 47 に到達する接続孔 59 とが形成されて

いる。

本実施形態では、層間絶縁膜 5 6 を貫通して電極パッド 5 4 に到達する接続孔 5 8 と、層間絶縁膜 5 6 および容量絶縁膜 4 9 を貫通して活性領域 4 7 に到達する接続孔 5 9 を同時に開口する。このとき、接続孔 5 8 を開口するプラズマエッチングによって、電極パッド 5 4、引き出し導体膜 5 2 および上部電極 5 1 は正に帯電するが、容量絶縁膜 4 8 を挟んで対向するシリコン基板 4 2 が対向電極となる。一方、接続孔 5 9 を開口するプラズマエッチングによって、シリコン基板 4 2 も電極パッド 5 4、引き出し導体膜 5 2 および上部電極 5 1 と同様の機構で正に帯電する。この結果、電極パッド 5 4、引き出し導体膜 5 2 および上部電極 5 1 とシリコン基板 4 2 との電位差が小さくなる。引き出し導体膜 5 2 とシリコン基板 4 2 との電位差が小さければ、引き出し導体膜 5 2 の下の分離領域 4 4 と接する容量絶縁膜 4 8 の境界部 R c r における電界は小さくなり、破壊が抑制・防止される。特に、引き出し導体膜 5 2 とシリコン基板 4 2 との電位差がゼロであることが最も好ましい。

ここで、引き出し導体膜 5 2 とシリコン基板 4 2 との電位差をゼロにするためには、引き出し導体膜 5 2 およびシリコン基板 4 2 の帯電量を等しくする必要がある。しかしながら、電極パッド 5 4 の上の層間絶縁膜 5 6 の膜厚は、活性領域 4 7 の上の層間絶縁膜 5 6 の膜厚よりも薄くなるので、接続孔 5 8 および 5 9 を同じ直径とした場合、活性領域 4 7 の帯電量、すなわちシリコン基板 4 2 の帯電量の方が大きくなる。これを防止するためには、接続孔の内部に電子が入って電気的に中和しやすくなるように接続孔 5 9 の直径を大きくすることが有効である。さらに、接続孔 5 9 のアスペクト比を接続孔 5 8 と等しくすることが好ましい。このことによって、接続孔 5 8 における電極パッド 5 4 の帯電量と接続孔 5 9 における活性領域 4 7 の帯電量が等しくなり、引き出し導体膜と半導体基板との電位差をほぼゼロにすることができる。

本実施形態では、接続孔 5 8 および接続孔 5 9 はほぼ円筒形に形成されており、接続孔 5 8 の直径が $0.28\ \mu\text{m}$ 、電極パッド 5 4 の上の層間絶縁膜 5 6 の膜厚 $0.6\ \mu\text{m}$ 、アスペクト比が 2.14 であり、活性領域 4 7 の上の層間絶縁膜 5 6 の膜厚 $0.8\ \mu\text{m}$ であるので、接続孔 5 9 の直径を $0.37\ \mu\text{m}$ と調整してい

る。

また、シリコン基板 4 2 の帯電量が大きくなることを防止するために、接続孔 5 9 の数を調整することによって正イオンに曝される活性領域 4 7 の面積を少なくするのも有効である。例えば、接続孔 5 9 における活性領域 4 7 の露出面積の総和が、接続孔 5 8 における電極パッド 5 4 の露出面積の総和の 5 7 % となるように接続孔 5 9 の数を調整してもよい。

次に、半導体装置 4 0 の製造方法を説明する。

まず、シリコン基板 4 2 を用意し、シリコン基板 4 2 の上部をエッチングすることによって浅い溝を形成した後、酸化膜を埋め込む S T I 法を適用することによって分離領域 4 4 および 4 5 を形成する。なお、従来の L O C O S 法を適用してもよい。

次に、シリコン基板 4 2 の上部の分離領域 4 4 および 4 5 が形成されていない活性領域 4 6 および 4 7 の上部を熱酸化することにより容量絶縁膜 4 8 および 4 9 を形成する。なお、C V D 法を用いてもよい。

次に、容量絶縁膜 4 8 の上から分離領域 4 4 の上を覆うようにポリシリコン膜を堆積した後、フォトリソグラフィおよびドライエッチングによってポリシリコン膜をパターニングすることによって、上部電極 5 1 、引き出し導体膜 5 2 、電極パッド 5 4 を一体成形する。

次に、シリコン酸窒化膜を堆積して層間絶縁膜 5 6 を形成する。

次に、フォトリソグラフィおよびプラズマエッチングを行なって、層間絶縁膜 5 6 に電極パッド 2 4 に到達する接続孔 2 8 と、層間絶縁膜 5 6 および容量絶縁膜 4 9 を貫通して活性領域 4 7 に到達する接続孔 5 9 とを開口する。

クレーム

【クレーム 1】 活性領域と、上記活性領域を囲むように設けられた分離領域とを有する半導体基板と、

上記活性領域の上に設けられ、上記分離領域と接する境界部を有する容量絶縁膜と、

上記容量絶縁膜上に上記分離領域と離間して設けられた上部電極と、

上記分離領域上に設けられた電極パッドと、

上記容量絶縁膜の一部および上記分離領域の一部の上に亘って設けられ、上記上部電極と上記電極パッドとを接続する引き出し導体膜と、

基板上に設けられた層間絶縁膜とを備え、

上記層間絶縁膜を貫通して上記電極パッドに到達する接続孔が設けられており、
上記境界部における上記引き出し導体膜の幅の総和に対する上記接続孔における上記電極パッドの露出面積の総和の比がある値以下となっている半導体装置。

【クレーム 2】 クレーム 1 の半導体装置において、
上記値が 4 である。

【クレーム 3】 活性領域と、上記活性領域を囲むように形成された分離領域とを有する半導体基板と、

上記活性領域の上に形成され、上記分離領域と接する境界部を有する容量絶縁膜と、

上記容量絶縁膜上に上記分離領域と離間して設けられた上部電極と、

上記分離領域上に形成された電極パッドと、

上記容量絶縁膜の一部および上記分離領域の一部の上に亘って設けられ、上記上部電極と上記電極パッドとを接続する引き出し導体膜と、

基板上に設けられた層間絶縁膜とを備え、

上記層間絶縁膜を貫通して上記電極パッドに到達する接続孔が設けられており、

上記容量絶縁膜が上記境界部において、他の部分よりも厚くなっている半導体装置。

【クレーム 4】 第 1 活性領域と、上記第 1 活性領域を囲むように形成された分離領域と、上記第 1 活性領域と上記分離領域を挟んで設けられた第 2 活性領

域とを有する半導体基板と、

上記第1活性領域の上に形成され、上記分離領域と接する境界部を有する第1容量絶縁膜と、

上記第2活性領域の上に形成された第2容量絶縁膜と、

上記第1容量絶縁膜上に上記分離領域と離間して設けられた上部電極と、

上記分離領域上に形成された電極パッドと、

上記第1容量絶縁膜の一部および上記分離領域の一部の上に亘って設けられ、上記上部電極と上記電極パッドとを接続する引き出し導体膜と、

基板上に設けられた層間絶縁膜とを備え、

上記層間絶縁膜を貫通して上記電極パッドに到達する第1接続孔と、上記層間絶縁膜および上記第2容量絶縁膜を貫通して上記第2活性領域に到達する第2接続孔とが設けられている半導体装置。

【クレーム5】 クレーム4の半導体装置において、
上記第2接続孔の直径が上記第1接続孔の直径よりも大きい。

【クレーム6】 クレーム5の半導体装置において、
上記第1接続孔のアスペクト比と上記第2接続孔のアスペクト比とが等しい。

【クレーム7】 上部に活性領域を有する半導体基板を用意する工程(a)と、

上記活性領域を囲むように上記半導体基板の上部に分離領域を形成する工程(b)と、

上記活性領域の上に、上記分離領域と接する境界部を有する容量絶縁膜を形成する工程(c)と、

上記容量絶縁膜上に上記分離領域と離間して設けられた上部電極と、上記分離領域上に形成された電極パッドと、上記容量絶縁膜の一部および上記分離領域の一部の上に亘って上記上部電極と上記電極パッドとを接続する引き出し導体膜とを形成する工程(d)と、

基板上に層間絶縁膜を形成する工程(e)と、

プラズマエッチングにより、上記層間絶縁膜を貫通して上記電極パッドに到達する接続孔を、上記境界部における上記引き出し導体膜の幅の総和に対する上記

接続孔における上記電極パッドの露出面積の総和の比がある値以下となるように開口する工程（f）と、

を含む半導体装置の製造方法。

【クレーム 8】 クレーム 7 の半導体装置において、

上記工程（f）では、上記接続孔の数を調整することによって上記比がある値以下となるように開口する。

【クレーム 9】 クレーム 7 の半導体装置において、

上記工程（f）では、上記接続孔において上記電極パッドが露出している面積を調整することによって上記比がある値以下となるように開口する。

【クレーム 10】 クレーム 7 の半導体装置において、

上記工程（f）では、上記境界部における上記引き出し導体膜の幅の総和を調整することによって上記比がある値以下となるように開口する。

【クレーム 11】 クレーム 7 の半導体装置において、

上記工程（f）では、上記比がある値以下となる条件に適合させながら、上記接続孔のアスペクト比を調整することによって開口する。

【クレーム 12】 活性領域を有する半導体基板を用意する工程（a）と、

上記半導体基板の上部に分離領域を形成する工程（b）と、

上記分離領域との境界部の上記活性領域に増殖拡散機能を有する不純物を導入する工程（c）と、

上記活性領域の上部を酸化することにより、上記分離領域と接する境界部を有する容量絶縁膜を形成する工程（d）と、

上記容量絶縁膜上に上記分離領域と離間して設けられた上部電極と、上記分離領域上に形成された電極パッドと、上記容量絶縁膜の一部および上記分離領域の一部の上に亘って上記上部電極と上記電極パッドとを接続する引き出し導体膜とを形成する工程（e）と、

基板上に層間絶縁膜を形成する工程（f）と、

プラズマエッチングにより、上記層間絶縁膜を貫通して上記電極パッドに到達する接続孔を開口する工程（g）と、

を含む半導体装置の製造方法。

【クレーム１３】 活性領域を有する半導体基板を用意する工程（a）と、
上記半導体基板の上部に分離領域を形成し、上記活性領域を第１活性領域と第
２活性領域とに分離する工程（b）と、

上記第１活性領域の上に、上記分離領域と接する境界部を有する第１容量絶縁
膜を形成し、上記第２活性領域の上に第２容量絶縁膜を形成する工程（c）と、

上記第１容量絶縁膜上に上記分離領域と離間して設けられた上部電極と、上記
分離領域上に形成された電極パッドと、上記第１容量絶縁膜の一部および上記分
離領域の一部の上に亘って設けられ、上記上部電極と上記電極パッドとを接続す
る引き出し導体膜とを形成する工程（d）と、

基板上に層間絶縁膜を形成する工程（e）と、

プラズマエッチングにより、上記層間絶縁膜を貫通して上記電極パッドに到達
する第１接続孔と、層間絶縁膜および上記第２容量絶縁膜を貫通して第２活性領
域に到達する第２接続孔とを形成する工程（f）と、

を含む半導体装置の製造方法。

【クレーム１４】 クレーム１３の半導体装置の製造方法において、

上記工程（f）では、上記第２接続孔を上記第１接続孔の直径よりも大きくな
るように形成する。

【クレーム１５】 クレーム１４の半導体装置の製造方法において、

上記工程（f）では、上記第１接続孔と上記第２接続孔とをアスペクト比が等
しくなるように形成する。

要約

本発明の半導体装置は、活性領域と、活性領域を囲むように設けられた分離領域とを有する半導体基板と、活性領域の上に設けられ、分離領域と接する境界部を有する容量絶縁膜と、容量絶縁膜上に分離領域と離間して設けられた上部電極と、分離領域上に設けられた電極パッドと、容量絶縁膜の一部および分離領域の一部の上に亘って設けられ、上部電極と電極パッドとを接続する引き出し導体膜と、基板上に設けられた層間絶縁膜とを備え、層間絶縁膜を貫通して電極パッドに到達する接続孔が設けられており、境界部における引き出し導体膜の幅の総和に対する接続孔における電極パッドの露出面積の総和の比がある値以下となっている。

Copyright © 2011, by Japanese Patent Office